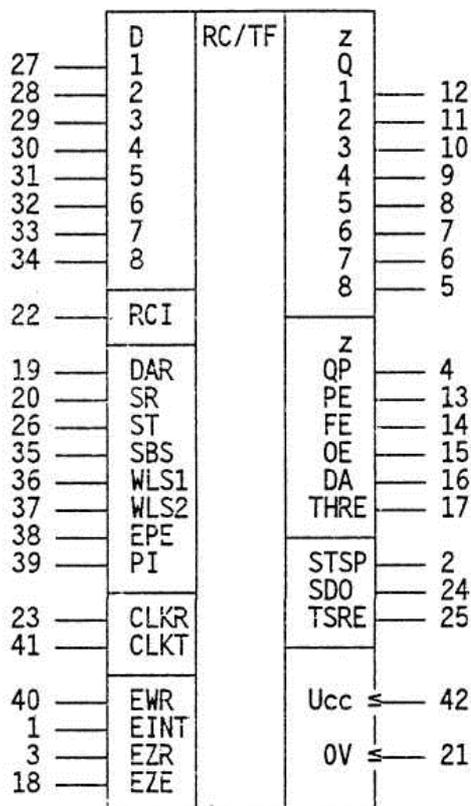


## К/КР1002ХЛ1 БИС асинхронного приемопередатчика

Микросхема предназначена для преобразования параллельной информации в последовательную в передатчике и последовательной в параллельную в приемнике. Может работать в полном дуплексном режиме, т.е. одновременно преобразовывать параллельную информацию в последовательную и наоборот. Микросхема К/КР1002ХЛ1 может иметь применение в качестве последовательного интерфейса ввода данных в ЭВМ, в оконечных устройствах телеграфных аппаратов, в микро- и мини-ЭВМ, в стартстопных мультиплексорах, устройствах передачи данных, контроллерах, телеметрии и телесигнализации.

Микросхема К/КР1002ХЛ1 изготавливается по стандартной КМДП-технологии с алюминиевым затвором в 42-выводных корпусах с параллельным расположением выводов; металлокерамическом типа 429.42-3 для К1002ХЛ1 и пластмассовом типа 2204.42-1 для КР1002ХЛ1. Две тысячи п- и р-канальных МДП-транзисторов микросхемы размещены на кристалле с размерами 4,2х4,3 мм<sup>2</sup>.

### Условное обозначение



### Назначение выводов

1	EINT	Вход	Программный регистр	Разрешение интегрирования
2	STSP	Выход	Флаг	Выход стартстопного триггера
3	EZR	Вход	Приемник	Блокировка информационных выходов приемника
4	QP	Выход	Приемник	Бит передачи четности
5	Q8	Выход	Приемник	8-й разряд кодовой комбинации
6	Q7	Выход	Приемник	7-й разряд кодовой комбинации
7	Q6	Выход	Приемник	6-й разряд кодовой комбинации
8	Q5	Выход	Приемник	5-й разряд кодовой комбинации
9	Q4	Выход	Приемник	4-й разряд кодовой комбинации
10	Q3	Выход	Приемник	3-й разряд кодовой комбинации
11	Q2	Выход	Приемник	2-й разряд кодовой комбинации
12	Q1	Выход	Приемник	1-й разряд кодовой комбинации
13	PE	Выход	Флаг	Ошибка в проверке на четность
14	FE	Выход	Флаг	Ошибка в стоповом элементе
15	OE	Выход	Флаг	Ошибка переполнения
16	DA	Выход	Флаг	Информация принята
17	THRE	Выход	Передатчик	Буферный регистр передатчика свободен
18	EZE	Вход	Приемник	Блокировка флагов ошибок
19	DAR	Вход	Приемник	Информация считана
20	SR	Вход		Начальная установка

21	GND		Питание	Общий
22	RCI	Вход	Приемник	Информационный вход приемника
23	CLKR	Вход	Приемник	Тактовая частота приемника
24	SDO	Выход	Приемник	Выход в линию
25	TSRE	Выход	Передатчик	Передающий регистр свободен
26	ST	Вход	Передатчик	Пусковой импульс
27	D1	Вход	Передатчик	1-й разряд кодовой комбинации
28	D2	Вход	Передатчик	2-й разряд кодовой комбинации
29	D3	Вход	Передатчик	3-й разряд кодовой комбинации
30	D4	Вход	Передатчик	4-й разряд кодовой комбинации
31	D5	Вход	Передатчик	5-й разряд кодовой комбинации
32	D6	Вход	Передатчик	6-й разряд кодовой комбинации
33	D7	Вход	Передатчик	7-й разряд кодовой комбинации
34	D8	Вход	Передатчик	8-й разряд кодовой комбинации
35	SBS	Вход	Передатчик	Выбор числа стоповых элементов
36	WLS1	Вход	Программный регистр	Выбор числа единичных элементов кодовой комбинации
37	WLS2	Вход	Программный регистр	Выбор числа единичных элементов кодовой комбинации
38	EPE	Вход	Программный регистр	Проверка на четность
39	PI	Вход	Программный регистр	Запрет проверки на четность
40	EWR	Вход	Программный регистр	Разрешение записи в программный регистр
41	CLKT	Вход	Передатчик	Тактовая частота передатчика
42	Vcc		Питание	Питание

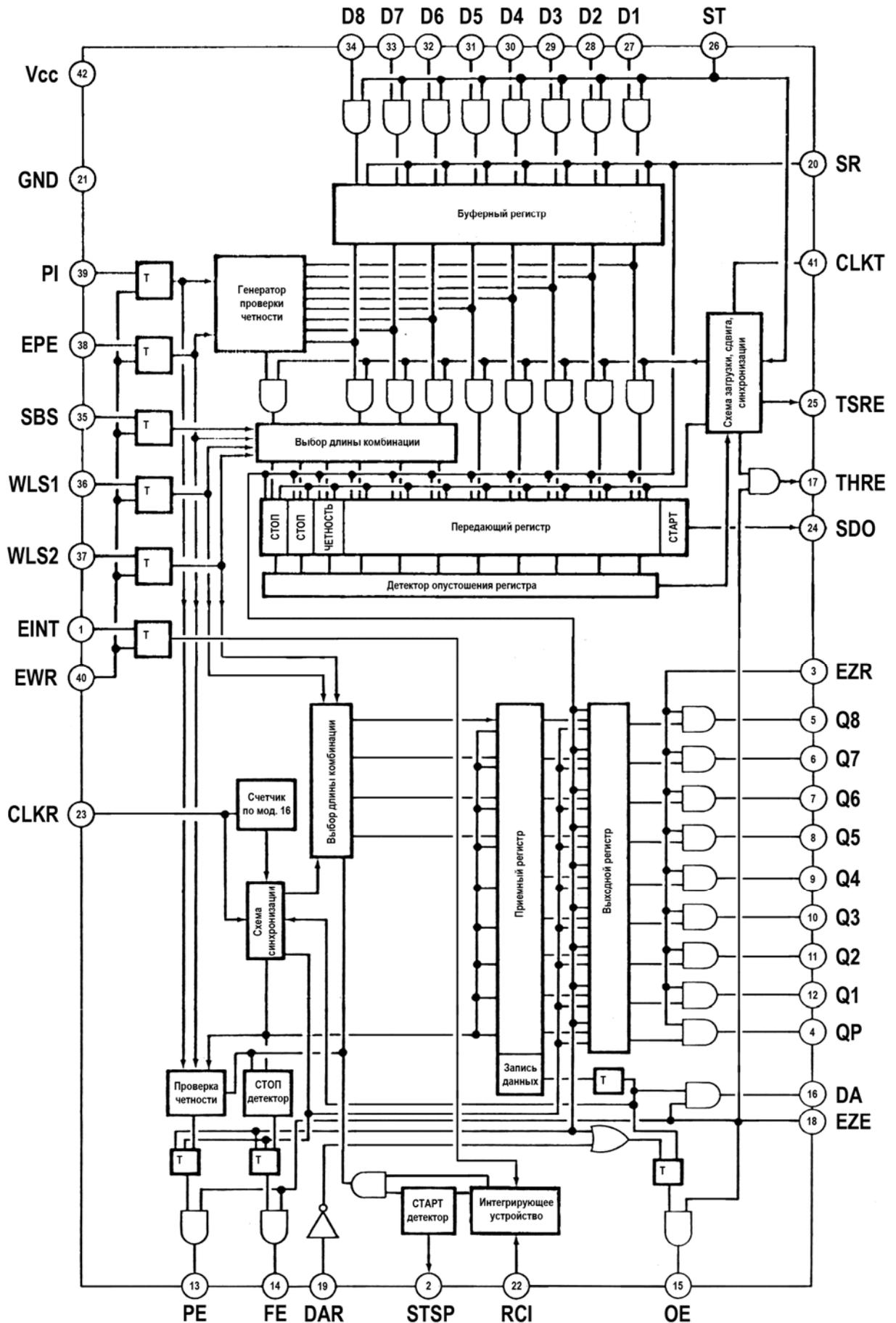
### Команды внешнего программирования

WLS2	WLS1	PI	EPE	SBS	Число элементов кодовой комбинации	Элемент четности	Длина стопового элемента
0	0	0	0	0	5	Нечет	1
0	0	0	0	1	5	Нечет	1,5
0	0	0	1	0	5	Чет	1
0	0	0	1	1	5	Чет	1,5
0	0	1	X	0	5	—	1
0	0	1	X	1	5	—	1,5
0	1	0	0	0	6	Нечет	1
0	1	0	0	1	6	Нечет	2
0	1	0	1	0	6	Чет	1
0	1	0	1	1	6	Чет	2
0	1	1	X	0	6	—	1
0	1	1	X	1	6	—	2
1	0	0	0	0	7	Нечет	1
1	0	0	0	1	7	Нечет	2
1	0	0	1	0	7	Чет	1
1	0	0	1	1	7	Чет	2
1	0	1	X	0	7	—	1
1	0	1	X	1	7	—	2
1	1	0	0	0	8	Нечет	1
1	1	0	0	1	8	Нечет	2
1	1	0	1	0	8	Чет	1
1	1	0	1	1	8	Чет	2
1	1	1	X	0	8	—	1
1	1	1	X	1	8	—	2

### Основные характеристики

Напряжение питания .....	5±10% В
Ток потребления в статическом режиме при V <sub>CC</sub> = 5,5 В.....	≤100 мкА
Выходной ток лог. "0" при V <sub>CC</sub> = 4,5 В, V <sub>SDO</sub> = 0,4 В.....	≥0,48 мА
Выходной ток лог. "1" при V <sub>CC</sub> = 4,5 В, V <sub>SDO</sub> = 4,1 В.....	≥0,15 мА
Ток утечки на выходах при V <sub>CC</sub> = 5,5 В.....	≤0,5 мкА
Тактовая частота	
Максимальная.....	≥650 кГц
Типовая.....	1,2 МГц
Длительность импульса	
Пускового.....	≥300 нс
Записи в программный регистр .....	≥300 нс
Информация считана.....	≥300 нс
Начальной установки.....	≥800 нс

Структурная схема



## Общее описание

Микросхема имеет внешнее общее для передатчика и приемника программирование, команды которого записываются в программный регистр. Кодовые комбинации для длины слова в 5, 6, 7 или 8 элементов задаются с помощью наборов 00, 01, 10 или 11 на входах WLS1 и WLS2 (Выбор числа единичных элементов кодовой комбинации 1 и 2).

Проверка на четность или нечетность с генерацией элемента проверки обеспечивается наличием лог. "1" или лог. "0" на входе EPE. Отсутствие (запрет) проверки программируется наличием сигнала высокого уровня на входе PI (Запрет проверки чет/нечет).

Количество стоповых элементов равно одному при низком логическом уровне на входе SBS (Число стоповых элементов) и двум (1,5 для 5-элементного кода) при высоком логическом уровне на указанном входе.

Прием информации обеспечивается методом интегрирования при наличии высокого уровня на входе EINT (Разрешение интегрирования) и методом стробирования при наличии низкого уровня на этом входе. В приемнике предусматривается защита от ложного старта и детектирование ошибок в четности, стопе и переполнении, Приемник и передатчик имеют отдельные входы тактовых частот CLKR и CLKT и могут работать с различными скоростями обработки информации.

### Передатчик

Команды внешнего программирования записываются в программный регистр импульсом положительной полярности на входе EWR (Разрешение записи в программный регистр); В исходном состоянии на выходах передатчика поддерживаются высокие логические уровни. Параллельная информация поступает на входы D1...D8. Цикл передачи (преобразования) начинается после подачи пускового импульса на вход ST (Пусковой импульс), обеспечивающего перепад из высокого логического уровня в низкий.

Длительность всех элементов кодовой комбинации, включая длительности стартового и стоповых элементов, равна 16 периодам тактовой частоты передатчика при работе в режиме стробирования и 64 периодам — в режиме интегрирования.

После поступления пускового импульса параллельная информация со входов D1...D8 записывается в буферный регистр и на выходе THRE (Буферный регистр свободен) появляется низкий уровень. Цикл передачи синхронизируется с помощью схемы управления и синхронизации с тактовой частотой передатчика, и параллельная информация через схему выбора длины кодовой комбинации переписывается в передающий регистр. На выходе TSRE (Передающий регистр свободен) появляется низкий уровень, свидетельствующий о занятости передающего регистра. После записи информации в передающий регистр начинается передача стартового элемента и на выходе SDO (Выход в линию) появляется стартовый перепад, затем поступают первый, второй и последующие элементы кодовой комбинации, элемент проверки чет/нечет и стоповые элементы. Передающий регистр занят (на выходе TSRE низкий уровень) с начала записи в него информации из буферного регистра до момента передачи последнего стопового элемента в схему генератора элемента проверки чет/нечет.

Передача кодовых комбинаций следует непрерывно, если к моменту освобождения передающего регистра в буферном регистре находится следующая кодовая комбинация параллельной информации.

### Приемник

В исходном состоянии на входах RCI (Информационный вход приемника) и DAR (Информация считана) имеются высокие логические уровни, а на информационных выходах и выходах флаговых состояний — низкие.

Последовательная стартстопная информация поступает на вход интегрирующего устройства, анализируется и через схему управления и синхронизации и схему выбора длины кодовой комбинации поступает в приемный регистр. В режиме стробирования информация не анализируется, а уровень двоичной информации оценивается в середине длительности каждого элемента кодовой комбинации.

Для неискаженного приема информации длительность элементов кодовых комбинаций должна соответствовать 64 периодам (интегрирование) или 16 периодам (стробирование) тактовой частоты приемника C1.

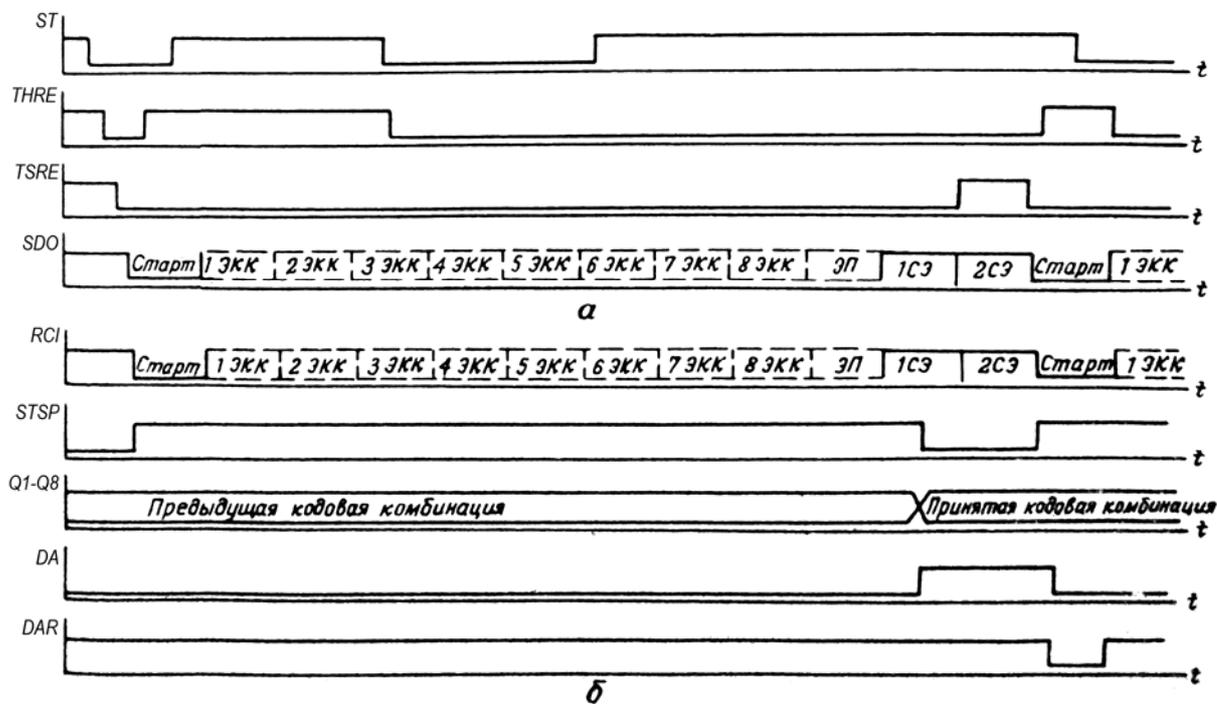
Приход стартового импульса, обеспечивающего перепад из высокого уровня в низкий на входе RCI приемника, соответствует началу стартстопного цикла, регистрация первого стопового элемента — его концу. Стартстопный цикл для каждой кодовой комбинации отмечается высоким, логическим уровнем на флаговом выходе STSP (Выход стартстопного триггера). Схема управления и синхронизации синхронизирует начало стартового перепада с тактовой частотой приемника и вырабатывает импульсы продвижения принятых элементов кодовой комбинации в приемном регистре. После заполнения приемного регистра вырабатывается сигнал для переписи кодовой комбинации в параллельном коде в выходной регистр. Через полпериода тактовой частоты после записи информации в выходной регистр на выходе DA (Информация принята) появляется сигнал высокого уровня.

Одновременно с появлением параллельной информации на выходах приемника Q1...Q8 и элемента проверки чет/нечет на выходе QP (Бит передачи четности) на флаговых выходах PE (Ошибка четности) и FE (Ошибка в стоповом элементе) вырабатываются сигналы высокого уровня при наличии перечисленных ошибок. Ошибка в стоповом элементе воспринимается как начало нового старт-стопного цикла приема информации. При приеме последующей кодовой комбинации без ошибки в стоповом элементе высокий уровень на выходе FE сбрасывается.

Параллельная информация с выходов приемника должна быть считана последующим устройством. Факт приема кодовой комбинации этим устройством подтверждается импульсом низкого уровня на входе DAR (Информация считана). Если такого подтверждения нет, то после появления на выходах приемника последующей кодовой комбинации появляется сигнал ошибки переполнения на выходе OE (Ошибка переполнения). Напряжение низкого уровня на входе DAR возвращает в исходное состояние низкого уровня выход DA.

Напряжение питания подается на вывод 42, вывод 21 является общим. Входы блокировки EZR и EZE переводят информационные выходы приемника и флаговые выходы микросхемы в состояние высокого сопротивления. Это дает возможность объединения в проводное ИЛИ нескольких микросхем. Вход SR (Начальная установка) предназначен для установки микросхемы в исходное состояние.

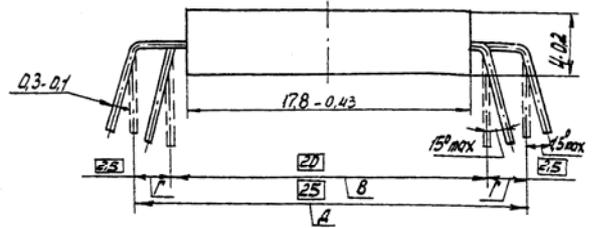
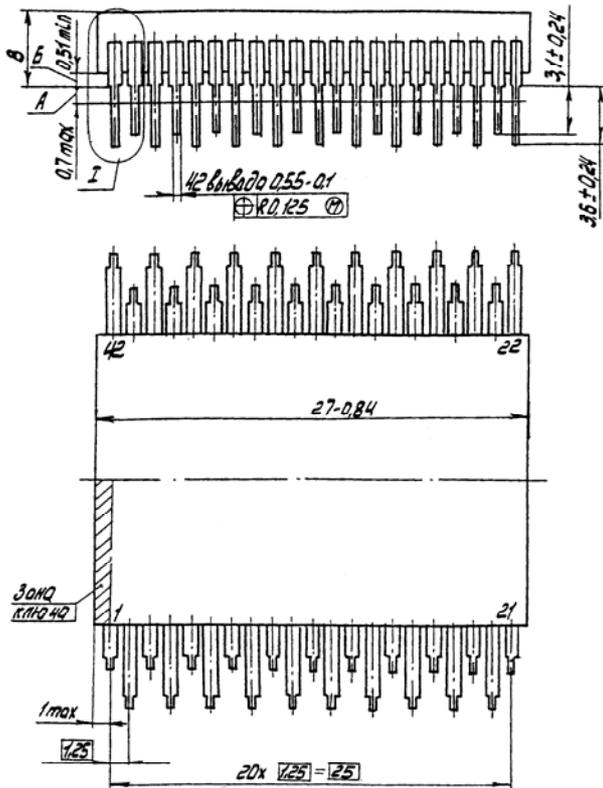
### Временные диаграммы



Временные диаграмма работы передатчика (а) и приемника (б):  
 ЭКК-элемент кодовой комбинации;  
 ЭП - элемент четности;  
 СЭ - стоповый элемент

## Чертежи корпусов

Пластмассовый корпус типа: 2204.42-1



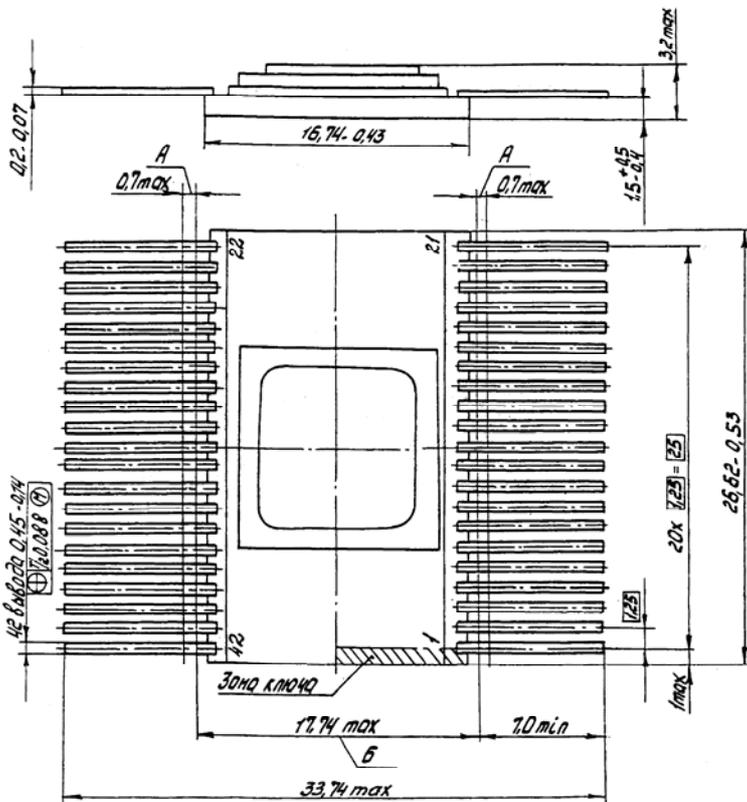
1. А-длина выводов, в пределах которой производится контроль смещения осей выводов от номинального расположения.
2. Б-расстояние между установочной плоскостью и плоскостью основания микросхемы.
3. Нумерация выводов показана условно.
4. Размеры В, Г и Д выполняются при установке ИС на печатную плату.

Вариант  
ИТ-1  
42 места

Корпус	В, мм
2204.42-1	5,0 max
2204.42-3	5,6 max



Металлокерамический корпус типа 429.42-1



1. А-длина выводов, в пределах которой производится контроль смещения плоскостей симметрии выводов от номинального расположения.
2. Б-ширина зоны, которая включает действительную ширину микросхемы и часть выводов, необходимую для монтажа.
3. Нумерация выводов показана условно.

Источники:

1. А.Л.Коган, А.В.Колосовский, Ю.Н.Попов, В.В.Синекаев БИС асинхронного приемопередатчика К1002ХЛ1, ЭП 1982/2, с 48-51
2. Каталог интегральных микросхем, Дополнение 2, ЦКБ "Дейтон", 1988, с 111-115.